

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 56-058782

(43)Date of publication of application : 21.05.1981

(51)Int.Cl.

H02M 7/48

(21)Application number : 54-134328

(71)Applicant : MITSUBISHI ELECTRIC CORP

(22)Date of filing : 17.10.1979

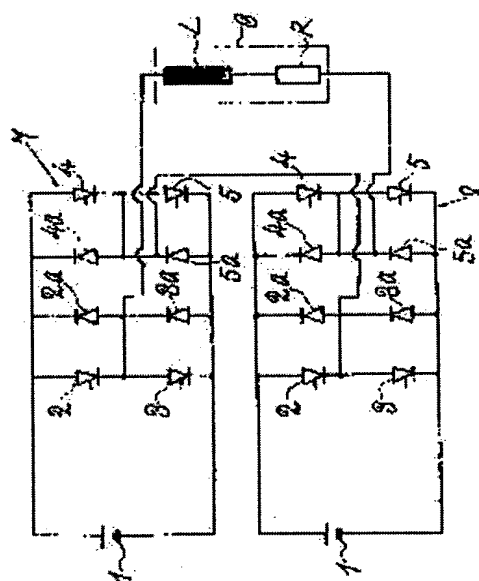
(72)Inventor : MASUI HISASHI
HOSOKAWA YASUHIKO

(54) INVERTER POWER SUPPLY DEVICE

(57)Abstract:

PURPOSE: To reduce the dead time in controlling peculiar to a power source in accordance with the increase of number of cascade stages by a method wherein multi- inverters are placed in a cascade connection and each phase is sequentially made to shift by a given phase to perform operation.

CONSTITUTION: Multi inverters 7, 8 are placed in a cascade connection and each phase is sequentially made to shift by a given phase, $180^\circ / n$ (n is the number of cascade stages of the inverter) to perform a high frequency operation. At this time, when the number of cascade stages is two, for example, the number of pulses of output current supplied to a load 6 becomes two times of the existing ones, thus, the average dead time of control is reduced to half of the existing dead time.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑬ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A)

昭56—58782

⑤ Int. Cl.³
H 02 M 7/48

識別記号

庁内整理番号
6945—5H

⑬ 公開 昭和56年(1981)5月21日

発明の数 1
審査請求 未請求

(全 3 頁)

⑭ インバータ電源装置

① 特 願 昭54—134328

② 出 願 昭54(1979)10月17日

③ 発 明 者 増井久之

尼崎市南清水字中野80番地三菱
電機株式会社伊丹製作所内

④ 発 明 者 細川靖彦

尼崎市南清水字中野80番地三菱
電機株式会社伊丹製作所内

⑤ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑥ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

インバータ電源装置

2. 特許請求の範囲

カスケード接続された複数台のインバータを備え、各インバータの運転位相を順次異ならせたことを特徴とするインバータ電源装置。

3. 発明の詳細な説明

この発明は、インバータ電源装置に関する。

核ゆく合実験装置のコイル電源装置は高い応答性が要求される為、従来、第1図に示す強制転流型のサイリスタインバータが用いられている。同図において、1は直流電圧源、2、3、4及び5はサイリスタスイッチでブリッジ接続されており、夫々図示しない強制転流回路によりターンオフされる。2a、3a、4a及び5aはフライホイールダイオード、6は負荷である核ゆく合実験装置のコイルで、(L)はインダクタンス分、(R)は抵抗分を示している。

しかし、各サイリスタスイッチ2、3、4、5

には一定の転流時間が必要であり、その上強制転流回路の転流スイッチ回路の動作周波数もハードウェアの面から限界があり、2〜3kHzが最高とされている。従つて上記構成のコイル電源装置個々の制御無駄時間が上記動作周波数によつて決定される為、プラズマの挙動に合わせてフィードバック制御する上で問題があつた。

この発明は、上記した従来の欠点を除去する為になされたもので、インバータを複数度カスケード接続して多重化し、夫々を順次所定の位相だけずらせて高周波運転することにより、従来の場合に比して個々の制御無駄時間を大幅に低減することができるインバータ電源装置を提供することを目的とする。

以下、この発明の一実施例を図について説明する。

第2図において、7及び8は第1図に示したサイリスタインバータであつて、パルス幅制御され、負荷6に対してカスケード接続されている。両インバータ7、8の夫々のパルス幅制御用の搬送波

(A)、(B)は第3図に示す如く 90° の位相差を持たせてある。第3図において(C)はエラー信号、 (V_1) 、 (V_2) は夫々インバータ7、8の出力電圧、 V は負置の出力電圧を示している。

第4図に、この回路が被制御要素である場合の制御ブロック図を示す。図において、 (I_p) …基準電流信号、 (I) …負荷電流、 (S) …時間微分演算子 (d/dt) である。

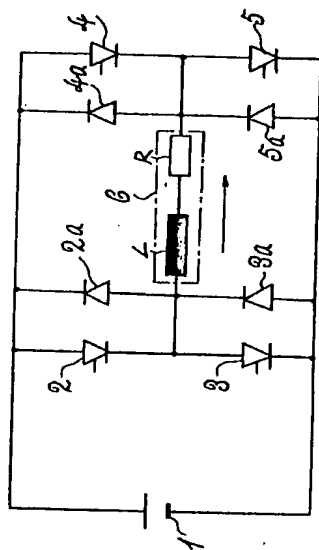
この構成においては、負荷6に供給される出力電圧のパルス数、インバータが一段である従来の場合の2倍となるから、第3図から明らかなように制御の平均無駄時間が前記従来の場合に比して半減する。

この実施例では、インバータのカスケード段数が2段であるが、カスケード段数を増加し、 n 段の場合には $\frac{180^\circ}{n}$ ずつ位相をずらせて運転することにより、さらに制御の応答性を高めることができるから、前記したコイル電源装置に要求される条件を満たすことが可能となる。

前記実施例では、サイリスタスイッチを用いた

(3)

第 1 図



特開昭56- 58782 (2)
インバータについて説明したが、トランジスタインバータにもこの発明を適用することができる。ゲートターンオフインバータの場合にはその駆流特性上、前に実施例のインバータに比して駆流時間が短かく又前記動作波数を高くとることができるので実施例の場合に比して応答性が高くなる。

以上の如く、この発明によれば、複数のインバータをカスケード接続して、夫々の位相を順次所定位相だけずらせて運転する構成としたから、カスケード段数の増加に相応して電源装置個有の制御無駄時間が低減され、従つて制御の応答性を従来に比して大幅に高めることができる。

4. 図面の簡単な説明

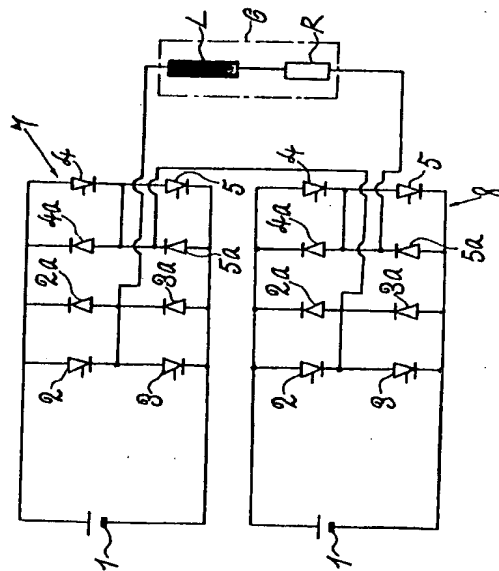
第1図は従来のインバータ電源装置の回路図、第2図はこの発明によるインバータ電源装置の一実施例の回路図、第3図は上記実施例の動作波形図、第4図は上記実施例の制御ブロック図である。

図において、7、8…サイリスタインバータ。

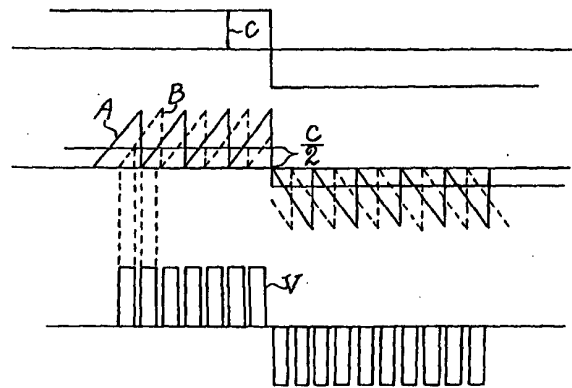
なお、図中、同一符号は同一又は相当部分を示す。

代理人 葛 野 信 一
(4) (外1名)

第 2 図



第 3 圖



第 4 圖

